

Family list**11** family members for:**JP2003066902**

Derived from 11 applications.


- 1 Display panel drive circuit**
Publication Info: **CN1473318 A** - 2004-02-04
- 2 Display panel drive circuit**
Publication Info: **CN1725281 A** - 2006-01-25
- 3 Display panel drive circuit**
Publication Info: **DE10295686T T0** - 2003-12-18
- 4 DISPLAY PANEL DRIVE CIRCUIT**
Publication Info: **JP2003066902 A** - 2003-03-05
- 5 DISPLAY PANEL DRIVE CIRCUIT**
Publication Info: **JP2003066903 A** - 2003-03-05
- 6 DISPLAY PANEL DRIVE CIRCUIT**
Publication Info: **JP2003066904 A** - 2003-03-05
- 7 DISPLAY PANEL DRIVE CIRCUIT**
Publication Info: **JP2003066906 A** - 2003-03-05
- 8 DISPLAY PANEL DRIVING CIRCUIT**
Publication Info: **JP2003241710 A** - 2003-08-29
- 9 DISPLAY PANEL DRIVING CIRCUIT**
Publication Info: **JP2003271097 A** - 2003-09-25
- 10 Display panel drive circuit**
Publication Info: **US2004008074 A1** - 2004-01-15
- 11 DISPLAY PANEL DRIVE CIRCUIT**
Publication Info: **WO03019516 A1** - 2003-03-06

Data supplied from the **esp@cenet** database - Worldwide

DISPLAY PANEL DRIVE CIRCUIT

Patent number: JP2003066902
Publication date: 2003-03-05
Inventor: TAKEHARA SATOSHI
Applicant: ASAHI CHEMICAL MICRO SYST
Classification:
 - international: **H01L51/50; G09G3/20; G09G3/30; G09G3/36; H01L51/50; G09G3/20; G09G3/30; G09G3/36; (IPC1-7): G09G3/30; G09G3/20; G09G3/36; H05B33/14**
 - european:
Application number: JP20010251430 20010822
Priority number(s): JP20010251430 20010822

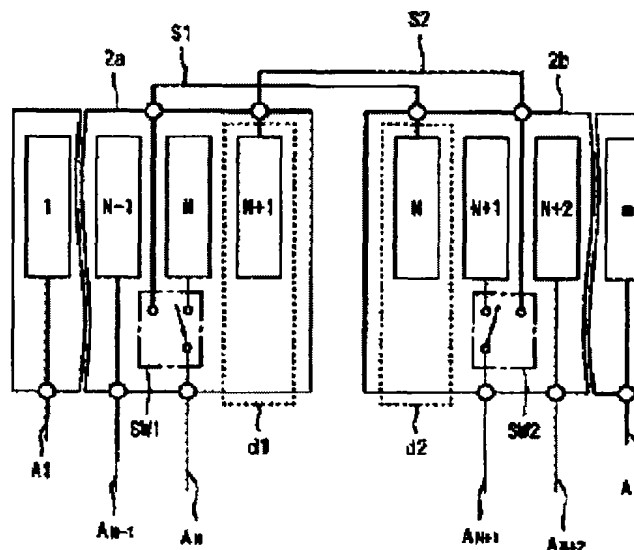
Also published as:

 CN1725281 (/

Report a data error he

Abstract of JP2003066902

PROBLEM TO BE SOLVED: To prevent degradation of picture quality by suppressing a luminosity step if an anode ray drive circuit comprises a plurality of IC chips. **SOLUTION:** A dummy drive output d2 (d1) and a practical drive output of an adjoining IC chip 2a (2b) are switched over at a switching circuit SW1 (SW2) at a prescribed cycle, which is supplied to an anode ray An. Thus, the variation of adjoining output currents between IC chips is suppressed. So, if the anode ray drive circuit comprises a plurality of IC chips 2a and 2b, the luminosity step in two display regions of different luminosity on a display due to difference in current drive capability between IC chips, becomes smaller to be able to suppress degradation of picture quality.



(19) 日本国特許庁 (J P)

公開特許公報 (A)

(11) 特許出願公開番号

特開2003-66902

(P 2 0 0 3 - 6 6 9 0 2 A)

(43) 公開日 平成15年3月5日 (2003.3.5)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
3/20	611	3/20	H 5C006
	621		M 5C080
	642		A
3/36		3/36	

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-251430 (P 2001-251430)

(22) 出願日 平成13年8月22日 (2001.8.22)

(71) 出願人 594021175

旭化成マイクロシステム株式会社
東京都新宿区西新宿三丁目7番1号

(72) 発明者 竹原 聡

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外 2 名)

最終頁に続く

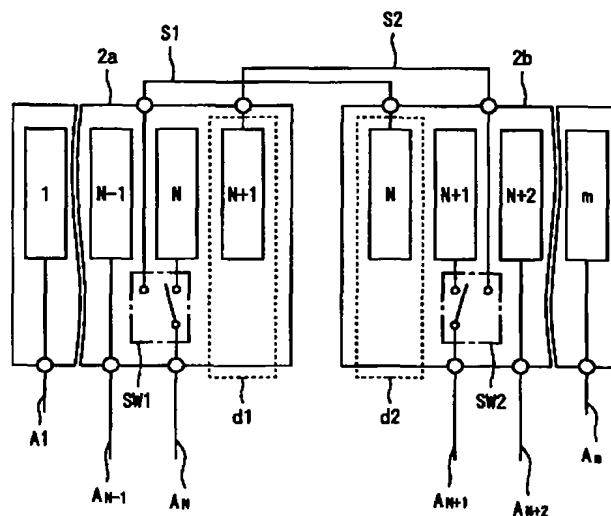
(54) 【発明の名称】 ディスプレイパネル駆動回路

(57) 【要約】

【課題】 陽極線ドライブ回路を複数の IC チップで構築した際における輝度段差を抑制し、画質劣化を防ぐ。

【解決手段】 ダミーの駆動出力 d 2 (d 1) を設けておき、これと隣接する IC チップ 2 a (2 b) における本来の駆動出力とをスイッチング回路 SW 1 (SW 2) において所定周期で切り替えて、陽極線 A_n に与える。

IC チップ間で隣り合う出力電流のばらつきを抑えることができる。よって、陽極線ドライブ回路を複数の IC チップ 2 a、2 b で構築した際に、各 IC チップ間の電流駆動能力の格差によってディスプレイ上に互いに輝度の異なる 2 つの表示領域における輝度段差は緩やかなものとなり、画質の劣化を抑制できる。



【特許請求の範囲】

【請求項1】 第1及び第2のICチップを含みこれら第1及び第2のICチップの駆動出力群を、ディスプレイパネルを構成する複数の画素素子を駆動するための第1及び第2の駆動ライン群に与えるディスプレイパネル駆動回路であって、前記第1のICチップの駆動出力群に属する第1の駆動出力と第2のICチップの駆動出力群に属する第2の駆動出力とをを入力とし、これら第1及び第2の駆動出力を所定周期で切り替えて、前記第1の駆動ライン群に属する駆動ラインのうち前記第2の駆動

10 ライン群に隣接配置されている駆動ラインに与えるスイッチング回路を含むことを特徴とするディスプレイパネル駆動回路。

【請求項2】 前記スイッチング回路は、前記第1のICチップ内に形成されていることを特徴とする請求項1記載のディスプレイパネル駆動回路。

【請求項3】 前記第2のICチップは、前記第2の駆動ライン群を構成する駆動ラインに対応しないダミーの駆動出力を有し、このダミーの駆動出力が前記第2の駆動出力として前記スイッチング回路に入力されることを

20 特徴とする請求項1又は2記載のディスプレイパネル駆動回路。

【請求項4】 前記ディスプレイパネルを構成する複数の画素素子は、エレクトロルミネセンス素子であることを特徴とする請求項1～3のいずれか1項に記載のディスプレイパネル駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はディスプレイパネルの駆動回路に関し、特に有機エレクトロルミネセンス素子などの自発光素子からなるディスプレイパネルの駆動回路に関する。

【0002】

【従来の技術】 薄型で低消費電力なディスプレイ装置を実現するための自発光素子として有機エレクトロルミネセンス（以下、ELと称する）素子が知られている。このEL素子を用いたディスプレイ装置やその駆動回路が特開2001-42821号公報に記載されている。

【0003】 図5はかかるEL素子の概略構成を示す図である。同図に示されているように、EL素子は、透明電極101が形成されたガラス板等からなる透明基板100上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機機能層102、及び、金属電極103が積層されたものである。図6は、かかるEL素子の特性を電氣的に示す透過回路を示す図である。同図に示されているように、EL素子は、容量成分Cと、その容量成分Cに並列に結合するダイオード特性の成分Bとによって置き換えることができる。ここで、透明電極101の陽極にマイナスの電圧を加えて透明電極と金属電極との間に直流を印加すると、容量成分Cに電荷が蓄積

される。この際、EL素子固有の障壁電圧又は発光閾値電圧を越えると、電極（ダイオード成分Eの陽極側）から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層102が発光する。

【0004】 図7は、複数の上記EL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交差して配列されたm個の陽極線（透明電極） $A_1 \sim A_m$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_m$ の交差した部分の各々（ $n \times m$ 個）に、上述した構造を有するEL素子 $E_{11} \sim E_{nm}$ が形成されている。なお、これらEL素子 $E_{11} \sim E_{nm}$ 各々は、ELDP10としての1画素を担うものである。

【0005】 発光制御回路1は、入力された1画面分（n行、m列）の画像データをELDP10の各画素、すなわち上記EL素子 $E_{11} \sim E_{nm}$ の各々に対応した画素データ $D_{11} \sim D_{nm}$ に変換し、これらを図8に示されているように、1行分毎に順次、陽極線ドライブ回路2に供給して行く。例えば、画素データ $D_{11} \sim D_{nm}$ とは、ELDP10の第1表示ラインに属するEL素子 $E_{11} \sim E_{1m}$ 各々に対して発光を実施させるか否かを指定するm個のデータビットであり、それぞれ論理レベル「1」である場合には「発光」、論理レベル「0」である場合には「非発光」を示す。

【0006】 また、発光制御回路1は、図8に示されているように、1行分毎の画素データの供給タイミングに同期して、ELDP10の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択信号を陰極線走査回路3に供給する。陽極線ドライブ回路2は、まず、上記画素データ群におけるm個のデータビットの内から、「発光」を指定する論理レベル「1」のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した「列」に属する陽極線 $A_1 \sim A_m$ の内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流iを供給する。

【0007】 陰極線走査回路3は、上記陰極線 $B_1 \sim B_n$ の内から、上記走査線選択信号で示される表示ラインに対応した陰極線を一時的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位 V_{cc} をそれぞれ印加する。なお、かかる高電位 V_{cc} は、EL素子が所望の輝度で発光しているときの両端電圧（寄生容量Cへの充電量に基づいて決定する電圧）とほぼ同一値に設定される。

【0008】 この際、上記陽極線ドライブ回路2によって上記定電流源が接続された「列」と、上記陰極線走査回路3にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び「列」に

交差して形成されているEL素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路3によって高電位 V_{cc} に設定された表示ラインと、上記定電流源が接続された「列」との間には電流が流れ込まないので、かかる表示ライン及び「列」に交差して形成されているEL素子は非発光のみである。

【0009】以上のような動作が、画素データ $D_{1,1} \sim D_{1,n}$, $D_{2,1} \sim D_{2,n}$, ..., $D_{m,1} \sim D_{m,n}$ 各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画
10 像が表示されるのである。

【0010】

【発明が解決しようとする課題】近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。したがって、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念
20 される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、それぞれ複数のICチップで構築することも考えられる。

【0011】例えば、図9に示されているように、陽極線ドライブ回路2を2つのICチップ2a、2bで構築することが考えられる。このように2つのICチップ2a及び2bで陽極線ドライブ回路2を構築する場合、図10に示されているように、陽極線 A_1 から陽極線 A_n までをICチップ2aで駆動し、陽極線 A_{n+1} から陽極線 A_m までをICチップ2bで駆動することになる。な
30 お、同図においては、各画素素子への電流出力、すなわち駆動出力のチャンネル番号として「1」～「N-1」、「N」、「N+1」、「N+2」～「m」が付されている。

【0012】ところで、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のバラツキ等により、各ICチップ間で、上記陽極線に供給すべき発光駆動電流の値に格差が生じる場合がある。よって、かかる発光駆動電流の違いによりELDP10の画面上には互いに輝度の異なる領域ができてしまい、特に、その境界上での輝度段差が画質を損ねてしまうという欠点があった。
40

【0013】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は陽極線ドライブ回路を複数のICチップで構築した際における画質劣化を抑制することができるディスプレイパネル駆動回路を提供することである。

【0014】

【課題を解決するための手段】本発明の請求項1によるディスプレイパネル駆動回路は、第1及び第2のICチップを含みこれら第1及び第2のICチップの駆動出力
50

群を、ディスプレイパネルを構成する複数の画素素子を駆動するための第1及び第2の駆動ライン群に与えるディスプレイパネル駆動回路であって、前記第1のICチップの駆動出力群に属する第1の駆動出力と第2のICチップの駆動出力群に属する第2の駆動出力とを入力とし、これら第1及び第2の駆動出力を所定周期で切り替えて、前記第1の駆動ライン群に属する駆動ラインのうち前記第2の駆動ライン群に隣接配置されている駆動ラインに与えるスイッチング回路を含むことを特徴とする。

【0015】本発明の請求項2によるディスプレイパネル駆動回路は、請求項1において、前記スイッチング回路は、前記第1のICチップ内に形成されていることを特徴とする。本発明の請求項3によるディスプレイパネル駆動回路は、請求項1又は2において、前記第2のICチップは、前記第2の駆動ライン群を構成する駆動ラインに対応しないダミーの駆動出力を有し、このダミーの駆動出力が前記第2の駆動出力として前記スイッチング回路に入力されることを特徴とする。

【0016】本発明の請求項4によるディスプレイパネル駆動回路は、請求項1～3のいずれか1項において、前記ディスプレイパネルを構成する複数の画素素子は、エレクトロルミネセンス素子であることを特徴とする。要するに本発明では、ダミーの駆動出力を設けておき、これと隣接するICチップにおける本来の駆動出力とを所定周期で切り替えて、駆動ラインに与えているので、ICチップ間で隣り合う出力電流のばらつきを抑えることができる。よって、陽極線ドライブ回路を複数のICチップで構築した際に、各ICチップ間の電流駆動能力の格差によってディスプレイ上に互いに輝度の異なる2つの表示領域における輝度段差は緩やかなものとなり、画質の劣化が抑制できる。そして、上記スイッチング回路をICチップ内に形成すれば、上記スイッチング回路を実装するためのスペースを新たに用意する必要はない。

【0017】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図では、他の図と同等部分は同一符号によって示されている。図1は本発明によるディスプレイパネル駆動回路の実施の一形態の主要部分の構成を示す図である。同図に示されているように、本実施形態によるディスプレイパネル駆動回路は、第1のICチップ2aと、第2のICチップ2bとを含んで構成される。

【0018】第1のICチップ2aは、チャンネル番号1～N+1の駆動出力を有している。そして、チャンネル番号1～N-1の駆動出力は、陽極線 $A_1 \sim A_{N-1}$ に与えられ、それら陽極線 $A_1 \sim A_{N-1}$ に対応する画素素子が駆動される。一方、第2のICチップ2bは、チャンネル番号N～mの駆動出力を有している。そして、チャンネル番号

N+2~mの駆動出力は、陽極線 $A_{N+2} \sim A_m$ に与えられ、それら陽極線 $A_{N+2} \sim A_m$ に対応する画素素子が駆動される。

【0019】また、第1のICチップ2aのチャンネル番号Nの駆動出力の他、第2のICチップ2bのチャンネル番号Nの駆動出力が、第1のICチップ2a内のスイッチング回路SW1に入力されている。このスイッチング回路SW1では、それら2つの駆動出力を択一的に出力し、陽極線 A_N に与えている。つまり、スイッチング回路SW1は、ICチップ2aの駆動出力群（チャンネル番号1~N+1）に属するチャンネル番号Nの駆動出力と、ICチップ2bの駆動出力群（チャンネル番号N~m）に属するチャンネル番号Nの駆動出力とを入力とし、これら2つの駆動出力を所定周期で切り替えて、第1の駆動ライン群である陽極線 $A_1 \sim$ 陽極線 A_N に属する陽極線のうち第2の駆動ライン群である陽極線 $A_N \sim$ 陽極線 A_m に隣接配置されている陽極線 A_N に与えている。なお、ICチップ2bのチャンネル番号Nの駆動出力は、第2の駆動ライン群である陽極線 $A_N \sim$ 陽極線 A_m を構成する各陽極線（駆動ライン）に対応しないダミーの駆動出力d2である。

【0020】同様に、第2のICチップ2aのチャンネル番号N+1の駆動出力の他、第1のICチップ2bのチャンネル番号N+1の駆動出力が、第2のICチップ2b内のスイッチング回路SW2に入力されている。このスイッチング回路SW2では、それら2つの駆動出力を択一的に出力し、陽極線 A_{N+1} に与えている。つまり、スイッチング回路SW2は、ICチップ2bの駆動出力群（チャンネル番号N~m）に属するチャンネル番号N+1の駆動出力と、ICチップ2aの駆動出力群（チャンネル番号1~N+1）に属するチャンネル番号N+1の駆動出力とを入力とし、これら2つの駆動出力を所定周期で切り替えて、第2の駆動ライン群である陽極線 $A_N \sim$ 陽極線 A_m に属する陽極線のうち第1の駆動ライン群である陽極線 $A_1 \sim$ 陽極線 A_N に隣接配置されている陽極線 A_{N+1} に与えている。なお、ICチップ2aのチャンネル番号N+1の駆動出力は、第1の駆動ライン群である陽極線 $A_1 \sim$ 陽極線 A_N を構成する各陽極線（駆動ライン）に対応しないダミーの駆動出力d1である。

【0021】以上のようにスイッチング回路SW1、SW2においては、ICチップ内の本来の駆動出力の他、隣接する他のICチップからのダミーの駆動出力をも入力とし、所定周期で2つの駆動出力を切り替えて陽極線に与えることにより、時分割制御を行う。ICチップ2a及び2bは、両端にそれぞれダミーの出力が設けられている。一方のICチップ2aにおけるダミーの出力は、他方のICチップ2bに入力されている。そして、このICチップ2bから入力されるダミーの出力は、ICチップ2aに入力されている。

【0022】なお、スイッチング回路SW1、SW2

は、ICチップ2a、2bの内部に形成されているため、配線S1、S2を追加するだけで済み、その実装スペースを新たに用意する必要はない。図2は、本駆動回路による駆動切り替えタイミングを示すタイミングチャートである。同図においては、陽極線 A_N に与える、ICチップ2aの駆動出力とICチップ2bの駆動出力との割合（以下、切り替え比率と称する）が、2対1の場合の例が示されている。

【0023】同図に示されている走査線選択信号によって、陰極線 B_1 、 B_2 、 B_3 、 B_4 が順に選択されるとき、各陽極線にICチップ2a又は2bの駆動出力が与えられる。陽極線 A_{N-1} には、ICチップ2aのチャンネル番号N-1の駆動出力が与えられ、陽極線 A_{N+2} には、ICチップ2bのチャンネル番号N+2の駆動出力が与えられる。

【0024】陽極線 A_N については、ICチップ2aのチャンネル番号Nの駆動出力と、ICチップ2bのチャンネル番号Nの駆動出力（ダミーの駆動出力）とが所定の周期で択一的に与えられる。本例では、ICチップ2aのチャンネル番号Nの駆動出力を与える期間が2回続いて生じた後、ICチップ2bのチャンネル番号Nの駆動出力を与える期間が1回生じる。すなわち、ICチップ2aとICチップ2bの切り替え比率は2対1である。

【0025】また、陽極線 A_{N+1} については、ICチップ2bのチャンネル番号N+1の駆動出力と、ICチップ2aのチャンネル番号N+1の駆動出力（ダミーの駆動出力）とが所定の周期で択一的に与えられる。本例では、ICチップ2bのチャンネル番号Nの駆動出力を与える期間が2回続いて生じた後、ICチップ2aのチャンネル番号Nの駆動出力を与える期間が1回生じる。すなわち、ICチップ2aとICチップ2bの切り替え比率は1対2である。

【0026】もっとも、同図に示されている切り替え周期に限定されるものではなく、他の切り替え比率に従った周期で切り替えを行っても良い。ここで、陽極線のチャンネル番号と出力電流との関係について図3を参照して説明する。同図には、スイッチング回路における切り替え比率を1対1にした場合と、2対1にした場合と、切り替えをしない場合とが示されている。同図中の黒丸を結ぶ実線は、切り替えをしない場合で、陽極線 A_N のチャンネルの出力電流と陽極線 A_{N+1} のチャンネルの出力電流との間の変化が急激である。したがって、このような輝度段差が画質を損ねる。

【0027】これに対して同図中の二重丸を結ぶ実線は、切り替え比率を1対1にした場合で、陽極線 A_N のチャンネルの出力電流と陽極線 A_{N+1} のチャンネルの出力電流との間の変化はほとんど無い。陽極線 A_{N+1} のチャンネルの出力電流と陽極線 A_{N+2} のチャンネルの出力電流との間の変化、及び陽極線 A_{N-1} と陽極線 A_N の変化は切り替えをしない場合の陽極線 A_N と陽極線 A_{N+1} との

間の変化に比べて小さい。

【0028】同図中の白丸を結ぶ破線は、切り替え比率を2対1にした場合で、陽極線 A_{n-1} のチャンネルから陽極線 A_n のチャンネル、陽極線 A_{n+1} のチャンネルを経て、陽極線 A_{n+2} のチャンネルに至るまでの出力電流の変化が緩やかである。このため、切り替え比率を1対1にした場合よりも、輝度の段差が小さくなっている。陽極線ドライブ回路を複数のICチップで構築すると、製造上のバラツキ等により、各ICチップ間で陽極線に供給すべき発光駆動電流の値に格差が生じ、画面上に互いに輝度の異なる領域ができてしまう。そのような場合であつても、ICチップの駆動出力を所定周期で切り替えて2つの駆動ライン群の境目の駆動ラインに与えることにより、輝度の異なる領域の境界上での輝度変化がなめらかになり、画質を損ねないのである。

【0029】ここで、陽極線 A_n に対応して設けられているスイッチング回路SW1の構成例が図4に示されている。同図に示されているスイッチング回路SW1は、それぞれ対応するICチップのチャンネル番号Nから出力される電流が入力される2つのアナログスイッチ21及び22を含んで構成されている。アナログスイッチ21及び22は、共に、ソース及びドレインを共通とするN型MOS(Metal oxide Semiconductor)トランジスタ及びP型MOSトランジスタによって構成されている。そして、これらN型MOSトランジスタ及びP型MOSトランジスタのゲートがスイッチング制御端子となり、互いに反転した信号によりオンオフが制御される。

【0030】また、同図においては、上記スイッチング制御端子であるゲートに出力パルス200を与えるカウンタ20と、この出力パルス200を反転するインバータINVとを含んで構成されている。なお、インバータINVは、例えば周知のCMOS(Complementary Metal Oxide Semiconductor)インバータ回路で構成する。

【0031】アナログスイッチ21のN型MOSトランジスタ及びアナログスイッチ22のP型MOSトランジスタにはカウンタ20の出力パルス200がそのまま入力されるのに対し、アナログスイッチ21のP型MOSトランジスタ及びアナログスイッチ22のN型MOSトランジスタには出力パルス200がインバータINVによって論理反転されて入力される。このため、カウンタ20の出力パルス200がハイレベルのときにアナログスイッチ21がオン状態で、アナログスイッチ22がオフ状態となる。一方、カウンタ20の出力パルス200がローレベルのときにアナログスイッチ21がオフ状態で、アナログスイッチ22がオン状態となる。

【0032】カウンタ20には、走査線選択信号(図2参照)に同期しているクロックCLKが入力され、そのクロックCLKによってカウント動作が行われる。そし

て、そのカウント動作によって上述した比率に対応するデューティ比を有する出力パルス200が生成される。この出力パルス200によってアナログスイッチ21及び22のオンオフ状態を制御することにより、アナログスイッチ21及び22を択一的にオン状態とする。

【0033】すなわち、同図(b)に示されているように、クロックCLKを入力とするカウンタ20からの出力パルス200がアナログスイッチ21及び22に与えられることにより、アナログスイッチ22がオン状態になる期間とアナログスイッチ21がオン状態になる期間との比率は、2対1になる。これにより、陽極線 A_n には、ICチップ2aのチャンネル番号Nの駆動出力とICチップ2bのチャンネル番号Nの駆動出力とが2対1の割合で与えられることになる。陽極線 A_{n+1} に対応して設けられているスイッチング回路SW2も同様に、2つのアナログスイッチ及びカウンタを用いて構成すれば良い。

【0034】なお、以上は2つのICチップを用いた場合について説明したが、それに限定されず、より多くのICチップを用いた場合について本発明が適用できることは明らかである。この場合においても、ICチップに対応する各駆動ラインに対応しないダミーの駆動出力を設けておき、これと隣接するICチップにおける本来の駆動出力とを所定周期で上記と同様に切り替えて、駆動ラインに与えれば良い。こうすることにより、各ICチップ間の電流駆動能力の格差によってディスプレイ上に互いに輝度の異なる2つの表示領域の輝度段差は緩やかなものとなり、画質の劣化が抑制されるのである。

【0035】また、以上は、隣接するICチップにそれぞれ1つのダミーの駆動出力を設けた場合について説明したが、それに限定されず、それぞれに複数のダミーの駆動出力を設けた場合についても本発明が適用できることは明らかである。ICチップに対応する各駆動ラインに対応する複数のダミーの駆動出力を設けておき、これと隣接するICチップにおける本来の複数の駆動出力とを所定周期で上記と同様に切り替えて駆動ラインに与えればよい。切り替え比率を複数の駆動出力ごとにそれぞれ変えることにより、各ICチップ間の電流駆動能力の格差によってディスプレイ上の互いに輝度の異なる2つの表示領域の輝度段差はさらに緩やかなものとなり、画質の劣化が抑制されるのである。

【0036】また、以上はディスプレイパネルを構成する画素素子がEL素子である場合について説明したが、それ以外の素子である場合についても本発明が適用できることは明らかである。

【0037】

【発明の効果】以上説明したように本発明は、ダミーの駆動出力を設けておき、これと隣接するICチップにおける本来の駆動出力とを所定周期で切り替えて、駆動ラインに与えることにより、陽極線ドライブ回路を複数の

ICチップで構築した際に、各ICチップ間の電流駆動能力の格差によってディスプレイ上に互いに輝度の異なる2つの表示領域における輝度段差は緩やかなものとなり、画質の劣化が抑制できるという効果がある。

【図面の簡単な説明】

【図1】本発明によるディスプレイパネル駆動回路の実施の一形態の主要部分の構成を示す図である。

【図2】図1のディスプレイパネル駆動回路による駆動切り替えタイミングを示すタイミングチャートである。

【図3】陽極線のチャンネル番号と出力電流との関係を 10 示す図である。

【図4】(a)はスイッチング回路の構成例を示す図、(b)は(a)のスイッチング回路の動作を示すタイミングチャートである。

【図5】EL素子の概略構成を示す図である。

【図6】EL素子の特性を電氣的に示す透過回路を示す図である。

【図7】複数のEL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。

【図8】画素データ及び走査線選択信号の供給タイミングを示す図である。

【図9】陽極線ドライブ回路を2つのICチップで構築した場合を示す図である。

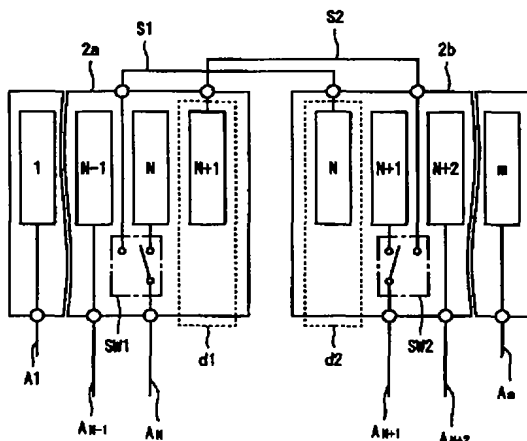
【図10】陽極線ドライブ回路の駆動出力と陽極線との対応関係を示す図である。

【符号の説明】

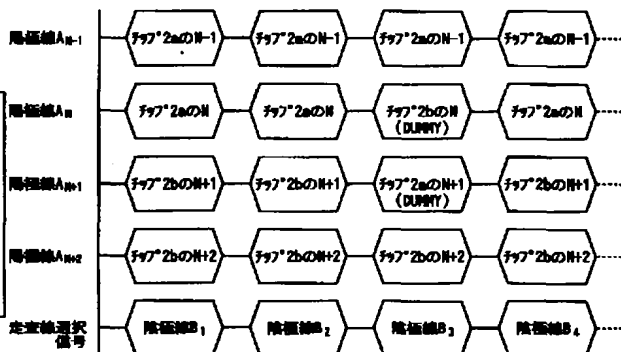
- 1 発光制御回路
- 2 a、2 b ICチップ
- 2 陽極線ドライブ回路
- 3 陰極線走査回路
- 20 カウンタ
- 21、22 MOSトランジスタ
- 100 透明基板
- 101 透明電極
- 102 有機機能層
- 103 金属電極
- 200 出力パルス
- SW1、SW2 スwitchング回路

20

【図1】



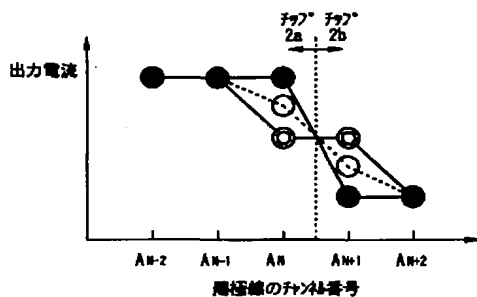
【図2】



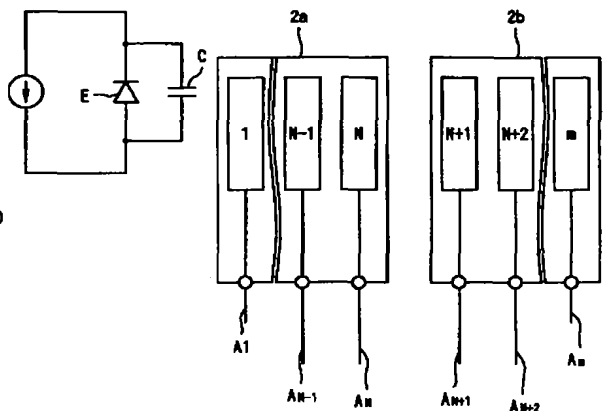
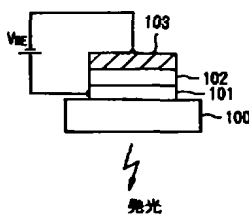
【図6】

【図10】

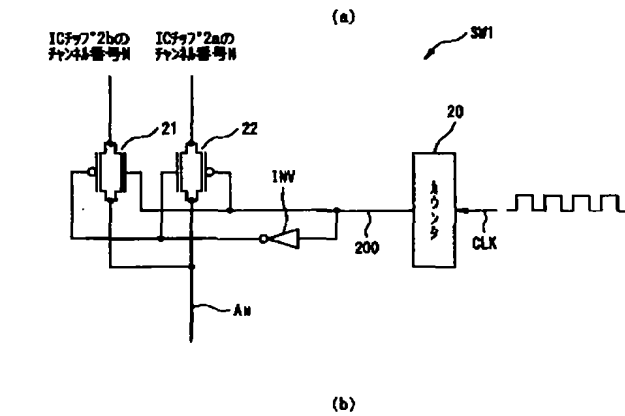
【図3】



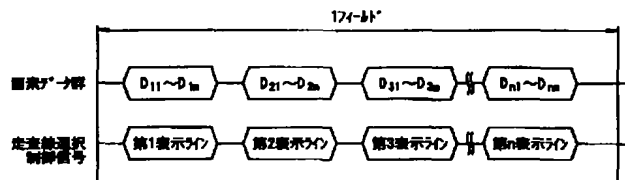
【図5】



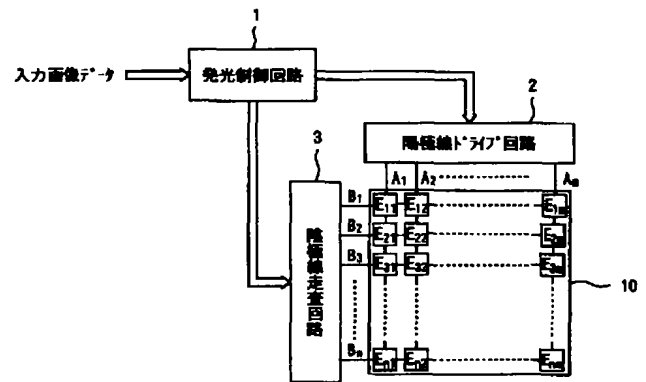
【図 4】



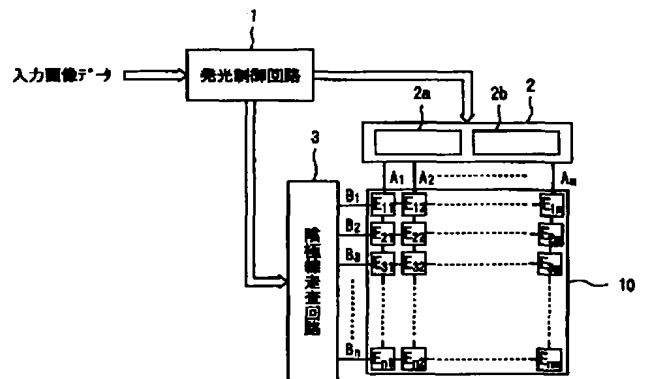
【図 8】



【図 7】



【図 9】



フロントページの続き

(51) Int. Cl.⁷

H 0 5 B 33/14

識別記号

F I

H 0 5 B 33/14

テーマコード (参考)

A

Fターム (参考) 3K007 AB02 AB17 BA06 DA01 DB03

EB00 GA04

5C006 AC02 AF43 AF46 AF59 BB12

BB15 BC12 BF22 BF24 FA01

FA20 FA22

5C080 AA06 AA10 BB05 DD05 DD28

EE28 JJ02 JJ04 JJ05